

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2001年12月27日 (27.12.2001)

PCT

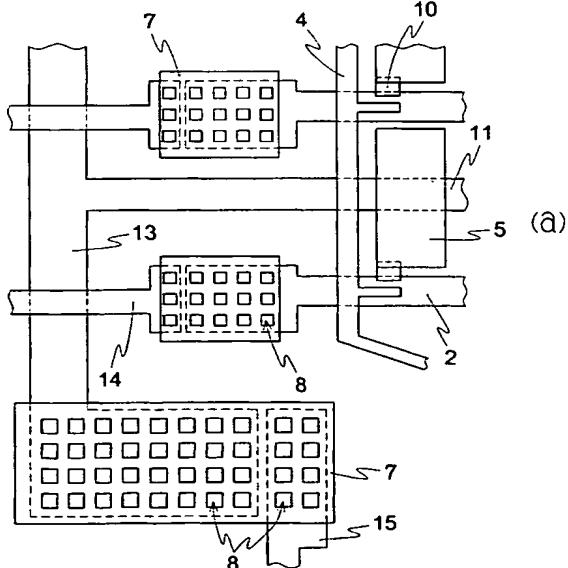
(10) 国際公開番号  
WO 01/98823 A1

- (51) 国際特許分類<sup>7</sup>: G02F 1/1345, G09F 9/30 INC.) [JP/JP]: 〒861-1198 熊本県菊池郡西合志町御代志997番地 Kumamoto (JP).
- (21) 国際出願番号: PCT/JP01/04824 (72) 発明者; および
- (22) 国際出願日: 2001年6月7日 (07.06.2001) (75) 発明者/出願人(米国についてのみ): 青木宏憲 (AOKI, Hironori) [JP/JP]: 〒861-1198 熊本県菊池郡西合志町御代志997番地 株式会社 アドバンスト・ディスプレイ内 Kumamoto (JP).
- (25) 国際出願の言語: 日本語 (74) 代理人: 朝日奈宗太, 外 (ASAHIWA, Sohta et al.): 〒540-0012 大阪府大阪市中央区谷町二丁目2番22号 NSビル Osaka (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国(国内): KR, US.
- (30) 優先権データ:  
特願2000-183034 2000年6月19日 (19.06.2000) JP  
(71) 出願人(米国を除く全ての指定国について): 株式会社  
アドバンスト・ディスプレイ (ADVANCED DISPLAY)  
添付公開書類:  
— 國際調査報告書

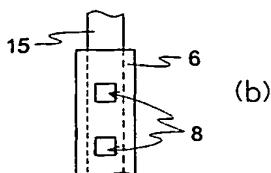
[続葉有]

(54) Title: ARRAY SUBSTRATE AND DISPLAY UNIT USING IT AND PRODUCTION METHOD FOR ARRAY SUBSTRATE

(54) 発明の名称: アレイ基板およびそれを用いた表示装置ならびにアレイ基板の製造方法



(57) Abstract: An array substrate small in signal delay and a display unit excellent in display grade, which use low-resistance wiring and restrict an increase in wiring resistance due to contact resistance. The array substrate comprises a display area formed with a plurality of pixel electrodes (5) therein, gate lines (2) disposed between the pixel electrodes, data lines (4) crossing the gate lines via insulation films, a terminal unit to receive scanning signals to gate lines, leader scanning lines (14) formed of a conductive film different in layer from the gate lines and connecting the scanning lines to the terminal unit, auxiliary capacity lines (11) disposed in parallel to the gate lines, assembled auxiliary capacity lines (13) disposed in parallel with the data lines and connecting to the auxiliary capacity lines, and leader auxiliary capacity lines (15) for connecting a terminal unit to receive common signals with another terminal unit which is formed of a conductive film different in layer from the assembled auxiliary capacity lines and to which the assembled auxiliary capacity lines and the common signals are input.



WO 01/98823 A1

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

低抵抗配線を使用し、さらにコンタクト抵抗による配線抵抗増加を抑制し、信号遅延の少ないアレイ基板および表示品位の優れた表示装置を提供する。複数の画素電極(5)が形成された表示領域と、該画素電極間に配設されたゲート線(2)と、該ゲート線と絶縁膜を介して交差するデータ線(4)と、ゲート線への走査信号が入力される端子部と、前記ゲート線とは異なる層の導電膜で形成されかつ前記走査線と前記端子部とを電気的に接続する引き出し走査線(14)と、前記ゲート線と並行して配設された補助容量線(11)と、前記データ線と並行して配設されかつ前記補助容量線と接続された集合補助容量線(13)と、共通信号が入力される端子部と、前記集合補助容量線とは異なる層の導電膜で形成されかつ前記集合補助容量線と前記共通信号が入力される端子部とを接続する引き出し補助容量線(15)とを備える。

## 明 紹 田 書

アレイ基板およびそれを用いた表示装置ならびにアレイ基板の製造方法技術分野

本発明は、走査線および信号線を形成したアレイ基板およびこれを用いた表示装置ならびにアレイ基板の製造方法に関するものである。

背景技術

液晶表示装置は、通常、対向する2枚の絶縁性基板のあいだに液晶などの表示材料が狭持されると共に、この表示材料に選択的に電圧が印加されるように構成されている。これらの基板の少なくとも一方を構成するアレイ基板は、たとえばTFTなどのスイッチング素子およびこれと接続された画素電極があり、このスイッチング素子に信号を与えるための走査線（以下、ゲート線と称する）、信号線（以下、データ線と称する）がマトリクス状に形成されている。

また場合によつては、画素電極と保持容量を形成するための補助容量線が形成される場合もある。

従来の液晶表示装置におけるTFTアレイ基板内のゲート線について、図9を用いて説明する。図9(a)は従来のアレイ基板におけるゲート線の端子部および表示領域の平面図を示し、図9(b)は図9(a)におけるゲート線の端子部について、矢視G-G断面を示している。図9において、1は絶縁性基板、2はゲート線、3はゲート絶縁

膜、4はデータ線、5は画素電極、9はパッシベーション膜、10はスイッチング素子としてのTFTのドレイン電極である。外部信号源であるドライバIC（図示せず）から出力された信号（走査信号）をパネル内に供給するために、図9に示すように端子部における端子電極6とゲート線2が直接あるいは絶縁層中に設けられたコンタクトホール8を介して接続された構造となる。端子電極6を設けない場合も構成上は端子部になりうるが、外部回路との接続強度や接続信頼性の点からゲート線2として使用できる配線材料が制限されたり、端子部とドライバICを接続するプロセスに制約が加わるなど性能、生産性を低下させる原因となる。したがって、端子電極6を設ける場合が一般的であり、この端子電極6にはITO(Indium Tin Oxide)などの透明導電膜が広く用いられている。

また、ゲート線にAl、ゲート線の端子電極にITOを用いた場合に、ゲートの端子電極とゲート線を接続するためのパターンを高融点金属により設ける方式が特開平6-160905号公報に開示されている。これは、低抵抗のゲート線を端子部近傍まで延在させ、かつ端子電極の直前で切断したゲート線と端子電極を高融点金属を用いて接続させるものである。

一方、画素電極と保持容量を形成するための補助容量線を設ける場合、この補助容量線に信号を与えるための方法が特開平10-319433号公報に開示されている。これを図10を用いて説明する。図10(a)は従来のアレイ基板における補助容量線、該補助容量線の全てと接続されかつデータ線と並行して設けられた集合補助容量線、該集合補助容量線と端子部とを接続する引き出し補助容量線

およびその端子部の平面図を示し、図10(b)は図10(a)における矢視H-H断面を示している。図10において、図9と同じ構成部分については同一符号を付しており、11は補助容量線、13は補助容量線11の全てと接続される集合補助容量線、15は前記集合補助容量線13と端子部とを接続する引き出し補助容量線、5は画素電極、7は補助容量線11と集合補助容量線13とを接続する接続パターンである。補助容量線11はゲート線2と同一層の導電膜で形成されており、さらにこの補助容量線11は、各配線毎に透明導電膜などで形成された接続パターン7により、絶縁膜中に設けられたコンタクトホール8を介して、データ線4と同一層の導電膜で形成される集合補助容量線13と電気的導通をとる。さらにこの集合補助容量線13を同一層である引き出し補助容量線15を介してパネル周辺まで延在し、絶縁膜中に設けられたコンタクトホール8を介して端子電極6と導通させることで外部回路と接続するための信号端子部を形成する。

このようにアレイ基板中に設けられた各配線において、その配線抵抗が増加した場合、表示面内に設けられたスイッチング素子および補助容量線に印加される信号に遅延が生じる。この遅延によって、画素電極の電位が所定の電位に達せず、表示面内での輝度ムラなど表示品位を低下させるという問題点があった。

一般に配線抵抗は、配線の材料、膜厚、配線幅および配線長により決定される抵抗成分（以下、引き回し抵抗と称する）と、配線を構成する複数の導電膜が接触する際に生じる抵抗成分（以下、コンタクト抵抗と称する）に依存する。まず引き回し抵抗に関しては、抵抗率のよ

り小さい材質を用いる試みがなされている。たとえばアルミニウム（Al）あるいはAl合金を用いた場合、従来から配線材料として一般的に使用されたクロム（Cr）に対して、同一膜厚、同一配線幅および配線長において約1／5への低抵抗化が期待できる。

一方、コンタクト抵抗については、その抵抗値はコンタクトに関する配線の材料あるいはアレイ基板の製造プロセスに大きく依存する。たとえばCrにより形成された配線とITO、 $\text{SnO}_2$ などの透明導電膜を、 $50\ \mu\text{m}$ 四方程度のコンタクトホール1個を介して接触させる場合、そのコンタクト抵抗を数百オームに抑えることは比較的容易である。しかしながら、AlあるいはAl系の合金を配線に用いたとき、ITO膜とのコンタクト抵抗の低減は困難である。 $50\ \mu\text{m}$ 四方程度のコンタクトホール1個を介して、AlあるいはAl系の合金が透明導電膜とコンタクトする場合、そのコンタクト抵抗は著しく増加し、数十キロオーム以上となってしまう。

このコンタクト抵抗の増加をレイアウト上の対策で軽減する手段として、コンタクトホール数を多くとる、あるいはコンタクトホール径を広くすることが考えられる。そのためには両者がコンタクトをとる領域を広くとする必要がある。しかしながら、たとえば端子部においては、最近の画面高精細化に伴い端子部の狭ピッチ化（たとえば、端子ピッチは $60\ \mu\text{m}$ 程度）がすすみ、端子1個あたりの面積が減少する傾向にある。端子部でのコンタクト抵抗は、配線抵抗の1／10以下程度にすることが望ましいが、それを実現するために必要なコンタクトホール数あるいはコンタクトホール径を各端子部毎に形成するこ

とは、実際上困難となっている。

つまり、配線の抵抗低減を図るため、その配線材料に低抵抗材料を用いることで引き回し抵抗を下げるにも、コンタクト抵抗が増加することで、配線抵抗全体は逆に増加する結果になる。とくに端子部領域は上述したようにコンタクトに寄与できる面積が狭く、コンタクト抵抗の増加が顕著である。

しかしながら、前述の従来技術ではいずれもコンタクト抵抗増加に対する対策が充分でない。まず、一般にAl系の金属が関与するコンタクト抵抗は大きくなる傾向にあるが、特開平6-160905号公報に開示される技術ではゲート端子電極近傍でAl系の金属が関与したコンタクトを発生させるため、その低抵抗化は容易でない。とくに構造上AlとITOを導通させる必要がある場合は、前述のようにコンタクト抵抗の増加が著しい。また該公報に開示された技術では、補助容量線と端子電極の接続に関してもゲート線と同様の方式が示されており、やはり端子部でのコンタクト抵抗増加が生じる。

一方補助容量線を設け、該補助容量線の全てと接続された集合補助容量線を設ける方式についても、上述の特開平10-319433号公報に開示されている構造の場合、補助容量線を構成する材料あるいは集合補助容量線と透明導電膜とのコンタクト抵抗に起因する補助容量線の配線抵抗の増加が生じる。補助容量線とその集合補助容量線は、該公報の図1に開示されているように表示領域近傍で変換されているが、この場合は表示領域におけるゲート線のピッチ（たとえば、 $200\mu\text{m}$ 程度）に依存し、端子部領域に比べて数倍広い面積を確保できるため、コンタ

クトホールの数あるいはホール径を増やすなどの対応により、端子部領域でのコンタクトに比べて低抵抗化が可能である。しかしながら、行反転駆動時に補助容量線の信号の遅延により生じるクロストークなどの表示不良への対策上、補助容量線と集合補助容量線との接続部に要求される抵抗は、前述のゲート線において要求されるコンタクト抵抗に比べ、一層の低抵抗化が必要となる。しかしながら、前記構造においては、補助容量線と集合補助容量線とのコンタクト抵抗を、上記表示不良を抑制可能な数十オームレベルに低抵抗化することが困難であるという問題点を有していた。

本発明は上記問題点に鑑みてなされたものであって、とくに低抵抗が要求される配線の抵抗を低減可能とし、表示品位に優れた表示装置を提供することを目的としている。

### 発明の開示

本発明の第1のアレイ基板は、複数の画素電極が形成された表示領域と、該画素電極間に配設されたゲート線（走査線）と、該ゲート線（走査線）と絶縁膜を介して交差するデータ線（信号線）と、走査信号が入力される端子部と、前記ゲート線（走査線）とは異なる層の導電膜で形成されかつ前記ゲート線（走査線）と前記端子部とを電気的に接続する引き出し走査線とを備えたことを特徴とするものである。

本発明の第2のアレイ基板は、上記第1のアレイ基板において、前記ゲート線（走査線）と並行して配設された補助容量線と、前記データ線（信号線）と並行して配

設されかつ前記補助容量線と電気的に接続された集合補助容量線と、共通信号が入力される端子部と、前記集合補助容量線とは異なる層の導電膜で形成されかつ前記集合補助容量線と前記共通信号が入力される端子部とを電気的に接続する引き出し補助容量線とをさらに備えたことを特徴とするものである。

本発明の第3のアレイ基板は、複数の画素電極が形成された表示領域と、該画素電極間に配設されたゲート線（走査線）と、該ゲート線（走査線）と並行して配設された補助容量線と、前記ゲート線（走査線）および補助容量線と絶縁膜を介して交差するデータ線（信号線）と、該データ線（信号線）と並行して配設されかつ前記補助容量線と電気的に接続された集合補助容量線と、共通信号が入力される端子部と、前記集合補助容量線とは異なる層の導電膜で形成されかつ前記集合補助容量線と前記端子部とを電気的に接続する引き出し補助容量線とを備えたことを特徴とするものである。

本発明の第4のアレイ基板は、上記第1または2のアレイ基板において、前記引き出し走査線は前記データ線（信号線）と同一層の導電膜で形成されたことを特徴とするものである。

本発明の第5のアレイ基板は、上記第1または2のアレイ基板において、前記引き出し走査線は前記画素電極と同一層の導電膜で形成されたことを特徴とするものである。

本発明の第6のアレイ基板は、上記第4または5のアレイ基板において、前記引き出し走査線は、前記表示領域の近傍および前記走査信号が入力される端子部の近傍

において、それぞれ前記ゲート線（走査線）および前記走査信号が入力される端子部と接続されていることを特徴とするものである。

本発明の第7のアレイ基板は、上記第2または3のアレイ基板において、前記引き出し補助容量線は前記データ線（信号線）と同一層の導電膜で形成されたことを特徴とするものである。

本発明の第8のアレイ基板は、上記第2または3のアレイ基板において、前記引き出し補助容量線は前記画素電極と同一層の導電膜で形成されたことを特徴とするものである。

本発明の第9のアレイ基板は、上記第7または8のアレイ基板において、前記引き出し補助容量線は、前記表示領域の近傍および前記共通信号が入力される端子部の近傍において、それぞれ前記集合補助容量線および前記共通信号が入力される端子部と電気的に接続されていることを特徴とするものである。

本発明の第10のアレイ基板は、上記第2～9のいずれかのアレイ基板において、前記補助容量線および前記集合補助容量線は、前記走査線と同一層の導電膜で形成されたことを特徴とするものである。

本発明の第11のアレイ基板は、上記第2、4～10のいずれかのアレイ基板において、前記集合補助容量線と前記引き出し走査線は絶縁膜を介して交差していることを特徴とするものである。

本発明の第12のアレイ基板は、上記第1～11のいずれかのアレイ基板において、前記ゲート線（走査線）の材料として、アルミニウムまたはアルミニウムの合金を用

いることを特徴とするものである。

本発明の第13のアレイ基板は、上記第1～11のいずれかのアレイ基板において、前記ゲート線（走査線）の材料として、一部または全部を窒化したアルミニウムまたは一部または全部を窒化したアルミニウムの合金を用いることを特徴とするものである。

本発明の第14のアレイ基板は、上記第1～13のいずれかのアレイ基板において、前記データ線（信号線）の材料として、CrまたはMoなどの高融点金属を用いることを特徴とするものである。

本発明の第15のアレイ基板は、上記第1、2、4～14のいずれかのアレイ基板において、前記ゲート線（走査線）と前記引き出し走査線は、前記画素電極と同一層の導電膜により電気的に接続されることを特徴とするものである。

本発明の第16のアレイ基板は、上記第2～15のいずれかのアレイ基板において、前記集合補助容量線と前記引き出し補助容量線とは、前記画素電極と同一層の導電膜により電気的に接続されることを特徴とするものである。

本発明の第17のアレイ基板は、上記第1、2、4～16のいずれかのアレイ基板において、前記ゲート線（走査線）と前記引き出し走査線との接続部において、該ゲート線（走査線）と該引き出し走査線が重畠した領域で、該ゲート線（走査線）または該引き出し走査線のいずれか一方を格子状または梯子状に形成したことを特徴とするものである。

本発明の第18のアレイ基板は、上記第2～17のいずれかのアレイ基板において、前記集合補助容量線と前記引

き出し補助容量線との接続部において、該集合補助容量線と該引き出し補助容量線が重畠した領域で、該集合補助容量線または該引き出し補助容量線のいずれか一方を格子状または梯子状に形成したことを特徴とするものである。

本発明の第1の表示装置は、上記第1～18のいずれかのアレイ基板と、少なくとも共通電極およびカラーフィルタを具備する対向基板とのあいだに液晶が配設されることを特徴とするものである。

本発明の第1のアレイ基板の製造方法は、導電膜を堆積し画素電極間に配設されるゲート線（走査線）を形成する工程と、前記ゲート線（走査線）とは異なる層の導電膜を堆積し、前記ゲート線（走査線）と走査信号が入力される端子部とを接続する配線である引き出し走査線を形成する工程と、前記ゲート線（走査線）と前記引き出し走査線とのあいだに配設され、該ゲート線（走査線）と該引き出し走査線とを絶縁する絶縁膜を形成する工程とを備えたことを特徴とするものである。

本発明の第2のアレイ基板の製造方法は、導電膜を堆積し、画素電極間に配設されたゲート線（走査線）、該ゲート線（走査線）と並行に配設された補助容量線および該補助容量線と接続された集合補助容量線を形成する工程と、前記ゲート線（走査線）、補助容量線および集合補助容量線とは異なる層の導電膜を堆積し、前記集合補助容量線と共に信号が入力される端子部とを接続する配線である引き出し補助容量線を形成する工程と、前記ゲート線（走査線）、前記補助容量線および前記集合補助容量線と前記引き出し補助容量線とのあいだに配設さ

れ、該ゲート線（走査線）、該補助容量線および該集合補助容量線と該引き出し補助容量線とを絶縁する絶縁膜を形成する工程とを備えたことを特徴とするものである。

#### 図面の簡単な説明

図1は、本発明の第1の実施の形態における、引き出し走査線（ゲート線）の端子部を示す図である。

図2は、本発明の第1の実施の形態における、表示領域近傍のゲート線と引き出し走査線との接続部を示す図である。

図3は、本発明の第2の実施の形態における、引き出し補助容量線（補助容量線）の端子部を示す図である。

図4は、本発明の第2の実施の形態における、表示領域近傍の集合補助容量線と引き出し補助容量線との接続部を示す図である。

図5は、本発明の第3の実施の形態を説明する図である。

図6は、本発明の第4の実施の形態を説明する図である。

図7は、本発明の第5の実施の形態における、ゲート線と引き出し走査線との接続部を示す図である。

図8は、本発明の第5の実施の形態における、ゲート線と引き出し走査線との接続部を示す図である。

図9は、従来のアレイ基板におけるゲート線の端子部および表示領域を示す図である。

図10は、従来のアレイ基板における補助容量線、集合補助容量線、引き出し補助容量線および端子部の平面図である。

### 発明を実施するための最良の形態

#### 実施の形態 1

図 1 および図 2 は本発明の第 1 の実施の形態であるアレイ基板の構造を示す図である。図 1 (a) は、引き出し走査線（ゲート線）の端子部の平面図であり、図 1 (b) は、図 1 (a) の矢視 A - A 断面を表わしている。図 2 (a) は、画素電極が形成された表示領域近傍の、ゲート線と引き出し走査線との接続部付近の平面図であり、図 2 (b) は、図 2 (a) の矢視 B - B 断面をあらわしている。

図において 1 は絶縁性基板、2 はゲート線（走査線）、3 は第 1 層の絶縁膜（ゲート絶縁膜）、4 はデータ線、5 は画素電極、6 は端子電極、7 はゲート線 2 と引き出し走査線 14 とを接続するための接続パターン、8 は第 1 層の絶縁膜中または第 1 層、第 2 層の絶縁膜中に設けられたコンタクトホール、9 は第 2 層の絶縁膜（パッシベーション膜）、14 はデータ線と同一工程で形成される引き出し走査線を示す。図 1 のように、引き出し走査線 14 の端子部における端子電極 6 によって、外部信号源であるドライバ IC（図示せず）からゲート線 2 に、画素を走査させるための信号（走査信号）を入力する。

以下に、本発明の第 1 の実施の形態であるアレイ基板の製造方法を説明する。まず絶縁性基板 1 の上に、第 1 層の導電膜を成膜する。第 1 層の導電膜としてはたとえば Al、Cr、銅 (Cu)、タンタル (Ta)、モリブデン (Mo) や、これらに他の物質を添加した合金などからなる薄膜が用いられる。第 1 層の導電膜は後述のようにゲート線 2 として用いられるためできるだけ抵抗率の小さいことが望ましい。つぎに第 1 の写真製版工程により第 1

層の導電膜をパターニングすることでゲート線2を形成する。ここで、表示領域近傍においては、図2(a)に示すように、ゲート線2と引き出し走査線14との接続部は隣接するパターンと短絡しない程度に、可能な限り大きな面積を有するよう形成される。そして、この第1層の導電膜上的一部には、後述の工程でドライエッチング処理により絶縁膜中にコンタクトホール8が形成され、このコンタクトホール8を介して導電膜がコンタクトをとる構造をとる。

つぎにプラズマCVDなどの成膜装置を用いて、第1層の絶縁膜(ゲート絶縁膜)3、半導体膜(図示せず)、オームックコンタクト膜(図示せず)を連続形成する。ゲート絶縁膜として用いられる第1層の絶縁膜としては、 $\text{SiN}_x$ 、 $\text{SiO}_x$ 、 $\text{SiO}_x\text{Ny}$ やこれらの積層膜が用いられる。半導体膜はアモルファスシリコン( $i-\text{a}-\text{Si}$ )、ポリシリコン( $i-\text{p}-\text{Si}$ )が用いられる。さらにオームックコンタクト膜には $a-\text{Si}$ 膜や $p-\text{Si}$ 膜にリン(P)などを微量にドーピングした $n-\text{a}-\text{Si}$ 、 $n-\text{p}-\text{Si}$ が用いられる。そして第2の写真製版工程により半導体膜およびオームックコンタクト膜をドライエッチングなどの手法を用いてエッチングする。

つぎに、第2層の導電膜を成膜する。第2層の導電膜としてはCr、Mo、Ta、Alやこれらに他の物質を微量に添加した合金などからなる薄膜、異種の金属膜を積層したもの、あるいは膜厚方向に組成の異なるものを用いることができる。第2層の導電膜上的一部には後述の工程で第3の導電性薄膜が形成され電気的導通をとるため、第2層の導電膜は、少なくとも第3層の導電膜と接する

領域において第3層の導電膜とのコンタクト抵抗が低い材質である必要がある。たとえば第3層の導電膜にITOを用いる場合、第3層の導電膜と接する領域はCr、Moで構成することが適当である。そのうち、第3の写真製版工程で前記第2層の導電膜をパターニングし、データ線4、ドレイン電極10、および表示領域近傍から端子部近傍にわたる引き出し走査線14を形成する。この引き出し走査線14は表示領域近傍と端子部近傍において、後述する第3層の導電膜により導通する構造をとる。

その後プラズマCVDなどの成膜装置を用いて第2層の絶縁膜(パッシバーション膜)9を成膜する。そして、第4の写真製版工程とドライエッチングなどにより第1層の絶縁膜中または第1層、第2層の絶縁膜中にコンタクトホール8を形成する。このとき、表示領域近傍のゲート線接続部上には、ゲート端子部に比べ多くのコンタクトホール数あるいは広いコシタクト面積を有するようコンタクトホールを設けることができる。つぎにスパッタリングなどの方法で第3層の導電膜を成膜する。第3層の導電膜は、透過型表示装置の場合はITOなどの透明導電膜を用い、反射型表示装置ではCrなどの不透明金属膜を用いる。この第3層の導電膜を写真製版およびエッチング処理することにより、ゲート線2と引き出し走査線14を接続する接続パターン7、端子電極6、画素電極5を形成する。この接続パターンを介して、ゲート線2と引き出し走査線14が表示領域近傍において電気的に導通する。

以上のように本実施の形態によれば、従来の方式において、ゲート線に端子電極とのコンタクト抵抗が著しく

増加する材料を用いた場合に生じた配線抵抗の増加が抑制され、表示領域内に形成されたスイッチング素子に印加される走査信号の遅延を軽減可能なアレイ基板が作成できる。したがって本実施の形態によるアレイ基板を用いることにより、たとえば該アレイ基板と、少なくとも共通電極およびカラーフィルタを備えた対向基板とのあいだに液晶を配設した表示装置において、走査信号遅延に起因して生じるムラなどの発生を抑え、表示品位に優れた表示装置を得ることが可能となる。

また、本実施の形態では、引き出し走査線をゲート線（本実施の形態においては第1層の導電膜で形成）とは異なる層（本実施の形態においては第2層の導電膜）で形成しているので、ゲート線にAlまたはAl合金を用いた場合に問題となるITOとのコンタクト抵抗増加の影響を、コンタクトに関与する領域の面積を表示領域近傍で大きくとることでさらに抑制し、配線抵抗の一層の低抵抗化が可能となる。

さらに、AlまたはAl合金を用いてゲート線を形成した場合、そのゲート線表面を窒化処理することで、その後の工程中における表面酸化の進行によるコンタクト抵抗増加を抑制することが可能となる。

また、本実施の形態における構造は、補助容量線を用いたアレイ基板および補助容量線を用いず隣接ゲート線と画素電極とのあいだで補助容量を形成するCsオングート方式のアレイ基板などに限定されるものではなく、ゲート線を用いて駆動するあらゆる表示装置に適用可能であるのはもちろんである。たとえばパッシブ型の表示装置におけるコモン線などに適用してもよい。

また上記では、引き出し走査線を端子電極および画素電極またはゲート線のいずれとも異なる工程で形成したが、引き出し走査線の抵抗増加が許容される範囲であれば、引き出し走査線を端子電極および画素電極と同一の工程で形成することも可能である。この場合、ゲート線と引き出し走査線との接続は、その層構成により、絶縁膜中に形成したコンタクトホールを介する場合と、コンタクトホールを介さず直接重畠して導通をとる（直接コンタクト）場合とがある。この両者の場合においても、表示領域近傍において、そのコンタクトホールの数を増やすまたは面積を大きくとる、あるいは直接コンタクトの面積を大きくとることで上述と同様の効果が得られる。

## 実施の形態 2

図3および図4は、本発明の第2の実施の形態であるアレイ基板の構造を示す図である。

図3(a)は、引き出し補助容量線（補助容量線）の端子部の平面図であり、図3(b)は、図3(a)の矢視C-C断面を表わしている。図4(a)は、表示領域近傍の、補助容量線と引き出し補助容量線との接続部の平面図であり、図4(b)は、図4(a)の矢視D-D断面をあらわしている。

図において、第1の実施の形態と同じ構成部分については同一の符号を付しており、11は補助容量線、12は補助容量用絶縁膜、13は補助容量線11の全てと接続された集合補助容量線、15はデータ線4と同一工程で形成される引き出し補助容量線、8は第1層～第3層の絶縁膜中に設けられたコンタクトホール、9は第3層の絶縁膜（パッシベーション膜）を示す。図3に示すように、引き出し補助容量線15の端子部における端子電極6によって、

外部信号源であるドライバIC（図示せず）から補助容量線11、集合補助容量線13および引き出し補助容量線15に信号（共通信号）を入力する。

以下に、本発明の第2の実施の形態であるアレイ基板の製造方法を説明する。まず絶縁性基板の上に、第1層の導電膜を成膜する。第1層の導電膜としてはたとえばAl、Cr、Cu、Ta、Moや、これらに他の物質を添加した合金などからなる薄膜が用いられる。第1層の導電膜は補助容量線11および集合補助容量線13として用いられるため、できるだけ抵抗率の小さいことが望ましい。つぎに第1の写真製版工程により第1層の導電膜をパターニングすることで補助容量線11および集合補助容量線13を形成する。ここで、集合補助容量線13は表示領域近傍において、隣接パターンと短絡しない程度でかつ引き出し補助容量線15との接続部においてコンタクト抵抗を低減可能な程度に大きな面積を有するよう形成される。そして、この第1層の導電膜上的一部には、後述の工程でドライエッチング処理により絶縁膜中にコンタクトホール8が形成され、このコンタクトホール8を介して導電膜がコンタクトをとる構造をとる。

つぎにプラズマCVDなどの成膜装置を用いて、補助容量用の絶縁膜12を設ける。さらにそののち、第2層の導電膜を成膜する。第2層の導電膜としてはCr、Mo、Taやこれらに他の物質を微量に添加した合金などからなる薄膜、異種の金属膜を積層したもの、あるいは膜厚方向に組成の異なるものを用いることができる。つぎに第2の写真製版工程により第2層の導電膜をパターニングすることでゲート線2を形成する。さらにゲート絶縁膜3、

半導体膜（図示せず）、オーミックコンタクト膜（図示せず）を連続形成する。ゲート絶縁膜としては、 $\text{SiN}_x$ 、 $\text{SiO}_x$ 、 $\text{SiO}_x\text{Ny}$ やこれらの積層膜が用いられる。半導体膜はアモルファスシリコン（i-a-Si）、ポリシリコン（i-p-Si）が用いられる。さらにオーミックコンタクト膜にはa-Si膜やp-Si膜にリンなどを微量にドーピングしたn-a-Si、n-p-Siが用いられる。そして第3の写真製版工程により半導体膜およびオーミックコンタクト膜をドライエッチングなどの手法を用いてエッチングする。

つぎに、第3層の導電膜を成膜する。第3層の導電膜としてはCr、Mo、Ta、Alやこれらに他の物質を微量に添加した合金などからなる薄膜、異種の金属膜を積層したもの、あるいは膜厚方向に組成の異なるものを用いることができる。第3層の導電膜上的一部には後述の工程で第4の導電性薄膜が形成され電気的導通をとるため、第3層の導電膜は、少なくとも第4層の導電膜と接する領域において第4層の導電膜とのコンタクト抵抗が低い材質である必要がある。たとえば第4層の導電膜にITOなどを用いる場合、第3層の導電膜と接する領域はCr、Moなどの高融点金属で構成することが適当である。つぎに第4の写真製版工程で前記第3層の導電膜をパターニングし、データ線4、ドレイン電極10、および表示領域近傍から端子部近傍にわたる引き出し補助容量線15を形成する。上記引き出し補助容量線15は表示領域近傍および端子部近傍で第4層の導電膜と導通することができるようレイアウトされる。

つぎにプラズマCVDなどの成膜装置を用いてパッシベ

ーション膜となる絶縁膜を成膜する。その後、第5の写真製版工程とドライエッチングなどにより補助容量用絶縁膜12、ゲート絶縁膜3、パッシベーション膜9の絶縁膜中にコンタクトホール8を形成する。このとき、表示領域近傍の集合補助容量線13上には可能な限り多くのコンタクトホール数を設けるか広い面積を有するコンタクトホールを設ける。つぎにスパッタリングなどの方法で第4層の導電膜を成膜する。第4層の導電膜は、透過型表示装置の場合はITOなどの透明導電膜を用い、反射型表示装置ではCrなどの不透明金属膜を用いる。この第4層の導電膜を写真製版およびエッチング処理することにより、接続パターン7、端子電極6、画素電極5を形成する。この接続パターン7を介して集合補助容量線13と引き出し補助容量線15が表示領域近傍において電気的に導通する。

以上のように本実施の形態によれば補助容量線と集合補助容量線が同一工程で形成されることで、従来の構造において、補助容量線と集合補助容量線とのあいだに介在した抵抗をなくし、かつ端子部での引き出し補助容量線と端子電極間のコンタクト抵抗を低減できる。以上の効果により共通信号の遅延を軽減可能なアレイ基板が作成できる。

また本実施の形態によるアレイ基板を用いることにより、たとえば該アレイ基板と、少なくとも共通電極およびカラーフィルタを備えた対向基板とのあいだに液晶を配設した表示装置において、共通信号遅延によるムラなどの発生を抑制し、表示品位に優れた表示装置を得ることが可能となる。

また、本実施の形態のように引き出し補助容量線を、補助容量線および集合補助容量線（本実施の形態においては第1層の導電膜で形成）とは異なる層（本実施の形態においては第3層の導電膜）で形成しているので、補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるITOとのコンタクト抵抗増加の影響を、コンタクトに関与する領域の面積を表示領域近傍で大きくとることでさらに抑制し、配線抵抗の一層の低抵抗化が可能となる。

さらにAlまたはAl合金を用いて形成した補助容量線および集合補助容量線表面を窒化処理することで、その後の工程中における表面酸化の進行によるコンタクト抵抗増加を抑制することが可能となる。

また上記では、端子電極および画素電極または集合補助容量線のいずれとも異なる工程で引き出し補助容量線を形成した例について示したが、引き出し補助容量線の抵抗増加が許容される範囲であれば、引き出し補助容量線を端子電極および画素電極と同一の工程で形成することも可能であるなど、実施の形態1と同様の効果を奏する。

### 実施の形態3

図5は本発明の第3の実施の形態であるアレイ基板の構造を示す図であり、図5(a)は表示領域近傍の、補助容量線および集合補助容量線と引き出し補助容量線との接続部の平面図、図5(b)は引き出し補助容量線（補助容量線）の端子部の平面図である。図5(b)に示すように、引き出し補助容量線の端子部における端子電極6によって、外部信号源であるドライバIC（図示せず）から

補助容量線 11 に共通信号を入力する。

以下に、本発明の第 3 の実施の形態であるアレイ基板の製造方法を説明する。まず絶縁性基板の上に、第 1 層の導電膜を成膜する。第 1 層の導電膜としてはたとえば Al、Cr、Cu、Ta、Mo や、これらに他の物質を添加した合金などからなる薄膜が用いられる。第 1 層の導電膜は後述のようにゲート線 2、補助容量線 11 および集合補助容量線 13 として用いられるため、できるだけ抵抗率の小さいことが望ましい。つぎに第 1 の写真製版工程により第 1 層の導電膜をパターニングすることでゲート線 2、補助容量線 11 および集合補助容量線 13 を形成する。本実施の形態においては、集合補助容量線 13 が、ゲート線 2 の引き出し走査線 14 が配設されない側において形成される例を示している。ここで表示領域近傍において、上記ゲート線 2 は引き出し走査線 14 との接続部において、隣接パターンと短絡しない程度に大きな面積を有するよう形成され、集合補助容量線 13 は、隣接パターンと短絡しない程度でかつ引き出し補助容量線 15 との接続部においてコンタクト抵抗を低減可能な程度に大きな面積を有するよう形成される。そして、この第 1 層の導電膜上の一端には、後述の工程でドライエッチング処理により絶縁膜中にコンタクトホール 8 が形成され、このコンタクトホール 8 を介して導電膜がコンタクトをとる構造となる。

つぎにプラズマ CVD などの成膜装置を用いて、第 1 層の絶縁膜、半導体膜（図示せず）、オーミックコンタクト膜（図示せず）を連続形成する。ゲート絶縁膜として用いられる第 1 層の絶縁膜としては、 $\text{SiN}_x$ 、 $\text{SiO}_x$ 、 $\text{SiO}_{x,y}$  やこれらの積層膜が用いられる。半導体膜はアモ

ルファスシリコン ( $i-a-Si$ ) 、ポリシリコン ( $i-p-Si$ ) が用いられる。さらにオーミックコンタクト膜には  $a-Si$  膜や  $p-Si$  膜にリンなどを微量にドーピングした  $n-a-Si$  、  $n-p-Si$  が用いられる。そして第 2 の写真製版工程により半導体膜およびオーミックコンタクト膜をドライエッチングなどの手法を用いてエッチングする。

つぎに、第 2 層の導電膜を成膜する。第 2 層の導電膜としては Cr、Mo、Ta、Al やこれらに他の物質を微量に添加した合金などからなる薄膜、異種の金属膜を積層したもの、あるいは膜厚方向に組成の異なるものを用いることができる。第 2 層の導電膜上の一一部には後述の工程で第 3 の導電性薄膜が形成され電気的導通をとるため、第 2 層の導電膜は、少なくとも第 3 層の導電膜と接する領域において第 3 層の導電膜とのコンタクト抵抗が低い材質である必要がある。たとえば第 3 層の導電膜に ITO を用いる場合、第 3 層の導電膜と接する領域は Cr、Mo などの高融点金属で構成することが適当である。つぎに第 3 の写真製版工程で前記第 2 層の導電膜をパターニングし、データ線 4、ドレイン電極 10 および表示領域近傍から端子部近傍に引き出し走査線 14、引き出し補助容量線 15 を形成する。上記引き出し走査線 14 および引き出し補助容量線 15 は、表示領域近傍において、後述する第 3 層の導電膜によってゲート線 2 および集合補助容量線 13 と電気的に導通し、端子部近傍において、後述する第 3 層の導電膜にて形成される端子電極 6 と電気的に導通する構造をとる。

つぎにプラズマ CVD などの成膜装置を用いてパッシベーション膜となる第 2 層の絶縁膜（図示せず）を成膜す

る。その後、第4の写真製版工程とドライエッチングなどにより第1層の絶縁膜中または第1層、第2層の絶縁膜中にコンタクトホール8を形成する。このとき、表示領域近傍のゲート線2および集合補助容量線13上には、可能な限り多くのコンタクトホール数を設けるか、あるいは広い面積を有するコンタクトホールを設ける。つぎにスパッタリングなどの方法で第3層の導電膜を成膜する。第3層の導電膜は、透過型表示装置の場合はITOなどの透明導電膜を用い、反射型表示装置ではCrなどの不透明金属膜を用いる。この第3層の導電膜を写真製版およびエッチング処理することにより、接続パターン7、端子電極6、画素電極5を形成する。この接続パターン7を介して、ゲート線2と引き出し走査線14が、あるいは集合補助容量線13と引き出し補助容量線15が表示領域近傍において電気的に導通する。

以上のように本実施の形態によれば、第2の実施の形態の効果である共通信号の遅延によるムラなどの抑制に加えて、第1の実施の形態と同様にゲート信号遅延によるムラなども抑制可能となり、さらに補助容量線、集合補助容量線およびゲート線を同一の工程で形成することができるため、生産性の向上にも寄与することが可能となる。

また本実施の形態によるアレイ基板を用いることにより、たとえば該アレイ基板と、少なくとも共通電極およびカラーフィルタを備えた対向基板とのあいだに液晶を配設した表示装置において、ゲート信号遅延に起因して生じるムラなどの発生を抑えるとともに、共通信号遅延によるムラなどの発生を抑えることにより、表示品位に

優れた表示装置を得ることが可能となる。

また上記では、端子電極および画素電極または集合補助容量線のいずれとも異なる工程で引き出し走査線または引き出し補助容量線を形成した例について示したが、引き出し走査線または引き出し補助容量線の抵抗増加が許容される範囲であれば、引き出し走査線または引き出し補助容量線を端子電極および画素電極と同一の工程で形成してもよい。

#### 実施の形態 4

図6は本発明の第4の実施の形態であるアレイ基板の構造を示す図であり、図6(a)は、表示領域近傍の集合補助容量線および引き出し補助容量線との接続部の平面図、図6(b)は引き出し補助容量線の端子部の平面図である。図6(b)に示すように、引き出し補助容量線の端子部における端子電極6によって、外部信号源であるドライバIC(図示せず)から補助容量線11に共通信号を入力する。

以下に、本発明の第4の実施の形態であるアレイ基板の製造方法を説明する。まず絶縁性基板の上に、第1層の導電膜を成膜する。第1層の導電膜としてはたとえばAl、Cr、Cu、Ta、Moや、これらに他の物質を添加した合金などからなる薄膜が用いられる。第1層の導電膜は後述のようにゲート線2、補助容量線11および集合補助容量線13として用いられるため、できるだけ抵抗率の小さいことが望ましい。つぎに第1の写真製版工程により第1層の導電膜をパターニングすることでゲート線2、補助容量線11および集合補助容量線13を形成する。本実施の形態においては、集合補助容量線13は、引き出し走

査線 14が配設される側において形成される例を示している。またゲート線 2は表示領域近傍において、集合補助容量線 13と短絡しない位置まで延在させるが、このとき隣接パターンと短絡しない程度に大きな面積を有するよう形成することが望ましい。さらに集合補助容量線 13は、隣接パターンと短絡しない程度にかつ引き出し補助容量線 15との接続部においてコンタクト抵抗を低減可能な程度に大きな面積を有するよう形成される。そして、この第1層の導電膜上的一部には、後述の工程でドライエッチング処理により絶縁膜中にコンタクトホール 8が形成され、このコンタクトホール 8を介して導電膜がコンタクトをとる構造をとる。

つぎにプラズマCVDなどの成膜装置を用いて、第1層の絶縁膜、半導体膜（図示せず）、オーミックコンタクト膜（図示せず）を連続形成する。ゲート絶縁膜として用いられる第1層の絶縁膜としては、 $\text{SiN}_x$ 、 $\text{SiO}_x$ 、 $\text{SiO}_{xNy}$ やこれらの積層膜が用いられる。半導体膜はアモルファスシリコン（i-a-Si）、ポリシリコン（i-p-Si）が用いられる。さらにオーミックコンタクト膜にはa-Si膜やp-Si膜にリンなどを微量にドーピングしたn-a-Si、n-p-Siが用いられる。そして第2の写真製版工程により半導体膜およびオーミックコンタクト膜をドライエッチングなどの手法を用いてエッチングする。

つぎに、第2層の導電膜を成膜する。第2層の導電膜としてはCr、Mo、Ta、Alやこれらに他の物質を微量に添加した合金などからなる薄膜、異種の金属膜を積層したもの、あるいは膜厚方向に組成の異なるものを用いることができる。第2層の導電膜上的一部には後述の工程

で第3の導電性薄膜が形成され電気的導通をとるため、第2層の導電膜は、少なくとも第3層の導電膜と接する領域において第3層の導電膜とのコンタクト抵抗が低い材質である必要がある。たとえば第3層の導電膜にITOを用いる場合、第2層の導電膜はCr、Moなどの高融点金属が適当である。つぎに第3の写真製版工程で前記第2層の導電膜をパターニングし、データ線4、ドレイン電極10および表示領域近傍から端子部近傍に引き出し走査線14、引き出し補助容量線15を形成する。この引き出し補助容量線15は表示領域近傍と端子部近傍において、後述する第3層の導電膜と電気的に導通する構造をとる。

つぎにプラズマCVDなどの成膜装置を用いてパッシベーション膜となる第2層の絶縁膜（図示せず）を成膜する。そののち、第4の写真製版工程とドライエッチングなどにより第1層の絶縁膜中または第1層、第2層の絶縁膜中にコンタクトホール8を形成する。このとき、表示領域近傍のゲート線2および集合補助容量線13上には可能な限り多くのコンタクトホール数あるいは広い面積を有するコンタクトホールを設ける。つぎにスパッタリングなどの方法で第3層の導電膜を成膜する。第3層の導電膜は、透過型表示装置の場合はITOなどの透明導電膜を用い、反射型表示装置ではCrなどの不透明金属膜を用いる。この第3層の導電膜を写真製版およびエッチング処理することにより、接続パターン7、端子電極6、画素電極5を形成する。この接続パターン7を介して、ゲート線2と引き出し走査線14が、あるいは集合補助容量線13と引き出し補助容量線15が表示領域近傍において電気的に導通する。

以上のように本実施の形態によれば、第3の実施の形態の効果に加えて、ゲート線と端子部との引き出し走査線が配設されている側においても、集合補助容量線と引き出し補助容量線を形成することが可能となり、さらに該引き出し走査線が配設されていない側においても集合補助容量線と引き出し補助容量線を形成してもよく（図示せず）、この場合、表示領域に形成される補助容量線への信号を伝達する経路が増やすことができる。これにより補助容量線に印加される共通信号の遅延が一層軽減される。

さらに本実施の形態によるアレイ基板を用いることにより、たとえば該アレイ基板と、少なくとも共通電極およびカラーフィルタを備えた対向基板とのあいだに液晶を配設した表示装置において、ゲート信号遅延に起因して生じるムラなどの発生を抑えるとともに、共通信号遅延によるムラなどの発生を一層抑えることにより表示品位の極めて優れた表示装置を得ることが可能となる。

また上記では、端子電極および画素電極または集合補助容量線のいずれとも異なる工程で引き出し走査線または引き出し補助容量線を形成した例について示したが、引き出し走査線または引き出し補助容量線の抵抗増加が許容される範囲であれば、引き出し走査線または引き出し補助容量線を端子電極および画素電極と同一の工程で形成してもよい。

### 実施の形態 5

図7および図8は本発明の第5の実施の形態である表示領域近傍の配線の接続を示す図である。

図7(a)および図8(a)は、ゲート線2と引き出し走査

線 14 との接続部分の平面を、図 7 (b) および図 8 (b) はそれぞれ図 7 (a) の矢視 E-E 断面と図 8 (a) の矢視 F-F 断面とを表わしている。

上記第 1~4 の実施の形態において、図 7 に示すように、ゲート線 2 と引き出し走査線 14 との変換部分(接続部分)において両配線を重畠させ、かつ一方の配線形状を格子状にする。あるいは、図 8 に示すように、一方の配線形状を梯子形状にする。これにより、両配線が絶縁膜を介して別の層に形成される場合において、接続パターン 7 の抵抗成分の寄与を減らすことができ、さらなるコンタクト抵抗の低減が期待でき、走査信号の遅延を軽減したアレイ基板を得ることができる。

図 7 および図 8 では、ゲート線 2 と引き出し走査線 14 との変換部分(接続部分)を例示しているが、集合補助容量線 13 と引き出し補助容量線 15 との変換部分(接続部分)についても、まったく同様の格子状あるいは梯子状配線とすることができます。接続パターン 7 の抵抗成分の寄与を減らすことができ、さらなるコンタクト抵抗の低減が期待でき、共通信号の遅延を軽減したアレイ基板を得ることができます。

また本実施の形態によるアレイ基板を用いることにより、たとえば該アレイ基板と、少なくとも共通電極およびカラーフィルタを備えた対向基板とのあいだに液晶を配設した表示装置において、ゲート信号遅延に起因して生じるムラなど、および共通信号遅延に起因して生じるムラなどの発生をさらに抑制することにより、表示品位に優れた表示装置を得ることが可能となる。

以上、本発明を上記第 1~第 5 の実施の形態に基づい

て説明したが、本発明は上記第1～第5の実施の形態の構成に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であるのはいうまでもない。たとえば、上記第1～第5の実施の形態による絶縁性基板上に形成される層構成に限定されることなく、ゲート線（走査線）または補助容量線を用いて駆動する表示装置すべてに適用可能である。

また、上記第1～第5の実施の形態においてはいずれもソース電極およびドレイン電極がゲート線（走査線）よりも上層に形成される逆スタガー型（ボトムゲート型）の構成について説明を行っているが、ゲート線（走査線）がソース電極およびドレイン電極よりも上層に形成される正スタガー型（トップゲート型）の構成に適用しても、それぞれ同様の効果を奏する。

#### 産業上の利用可能性

本発明の第1のアレイ基板は、複数の画素電極が形成された表示領域と、該画素電極間に配設された走査線と、該走査線と絶縁膜を介して交差する信号線と、走査信号が入力される端子部と、前記走査線とは異なる層の導電膜で形成されかつ前記走査線と前記端子部とを電気的に接続する引き出し走査線とを備えているので、走査線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第2のアレイ基板は、上記第1のアレイ基板において、前記走査線と並行して配設された補助容量線と、前記信号線と並行して配設されかつ前記補助容量線と電気的に接続された集合補助容量線と、共通信号が入

力される端子部と、前記集合補助容量線とは異なる層の導電膜で形成されかつ前記集合補助容量線と前記共通信号が入力される端子部とを電気的に接続する引き出し補助容量線とをさらに備えているので、補助容量を用いたアレイ基板において、走査線、補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第3のアレイ基板は、複数の画素電極が形成された表示領域と、該画素電極間に配設された走査線と、該走査線と並行して配設された補助容量線と、前記走査線および補助容量線と絶縁膜を介して交差する信号線と、該信号線と並行して配設されかつ前記補助容量線と電気的に接続された集合補助容量線と、共通信号が入力される端子部と、前記集合補助容量線とは異なる層の導電膜で形成されかつ前記集合補助容量線と前記端子部とを接続する引き出し補助容量線とを備えているので、補助容量を用いたアレイ基板において、補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第4のアレイ基板は、上記第1または2のアレイ基板において、前記引き出し走査線は前記信号線と同一層の導電膜で形成されているので、工程を増やすことなく、走査線または補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第5のアレイ基板は、上記第1または2のアレイ基板において、前記引き出し走査線は前記画素電極と同一層の導電膜で形成されているので、工程を増やす

ことなく、走査線または補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第6のアレイ基板は、上記第4または5のアレイ基板において、前記引き出し走査線は、前記表示領域の近傍および前記走査信号が入力される端子部の近傍において、それぞれ前記走査線および前記走査信号が入力される端子部と電気的に接続されているので、走査線または補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第7のアレイ基板は、上記第2または3のアレイ基板において、前記引き出し補助容量線は前記信号線と同一層の導電膜で形成されているので、補助容量を用いたアレイ基板において、工程を増やすことなく、走査線または補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第8のアレイ基板は、上記第2または3のアレイ基板において、前記引き出し補助容量線は前記画素電極と同一層の導電膜で形成されているので、補助容量を用いたアレイ基板において、工程を増やすことなく、走査線または補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第9のアレイ基板は、上記第7または8のアレイ基板において、前記引き出し補助容量線は、前記表示領域の近傍および前記共通信号が入力される端子部の

近傍において、それぞれ前記集合補助容量線および前記共通信号が入力される端子部と電気的に接続されているので、補助容量を用いたアレイ基板において、走査線または補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第10のアレイ基板は、上記第2～9のいずれかのアレイ基板において、前記補助容量線および前記集合補助容量線は、前記走査線と同一層の導電膜で形成されているので、補助容量を用いたアレイ基板において、走査線または補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第11のアレイ基板は、上記第2、4～10のいずれかのアレイ基板において、前記集合補助容量線と前記引き出し走査線は絶縁膜を介して交差しているので、補助容量を用いたアレイ基板において、走査線または補助容量線および集合補助容量線にAlまたはAl合金を用いた場合に問題となるコンタクト抵抗の増加を抑制可能となる。

本発明の第12のアレイ基板は、上記第1～11のいずれかのアレイ基板において、前記走査線の材料として、アルミニウムまたはアルミニウムの合金を用いているので、走査線の信号遅延に起因して生じるムラなどの発生または共通信号遅延によるムラなどの発生を抑制することができる。

本発明の第13のアレイ基板は、上記第1～11のいずれかのアレイ基板において、前記走査線の材料として、一

部または全部を窒化したアルミニウムまたはアルミニウムの合金を用いているので、走査線の信号遅延に起因して生じるムラなどの発生または共通信号遅延によるムラなどの発生をさらに抑制することができる。

本発明の第14のアレイ基板は、上記第1～13のいずれかのアレイ基板において、前記信号線の材料として、CrまたはMoを用いているので、走査線の信号遅延に起因して生じるムラなどの発生または共通信号遅延によるムラなどの発生を抑制することができる。

本発明の第15のアレイ基板は、上記第1、2、4～14のいずれかのアレイ基板において、前記走査線と前記引き出し走査線は、前記画素電極と同一層の導電膜により電気的に接続されているので、工程を増やすことなく、走査線の信号遅延に起因して生じるムラなどの発生または共通信号遅延によるムラなどの発生を抑制することができる。

本発明の第16のアレイ基板は、上記第2～15のいずれかのアレイ基板において、前記集合補助容量線と前記引き出し補助容量線とは、前記画素電極と同一層の導電膜により電気的に接続されているので、工程を増やすことなく、走査線の信号遅延に起因して生じるムラなどの発生または共通信号遅延によるムラなどの発生を抑制することができる。

本発明の第17のアレイ基板は、上記第1、2、4～16のいずれかのアレイ基板において、前記走査線と前記引き出し走査線との接続部において、該走査線と該引き出し走査線が重畠した領域で、該走査線または該引き出し走査線のいずれか一方を格子状または梯子状に形成して

いるので、走査線の信号遅延に起因して生じるムラなどの発生または共通信号遅延によるムラなどの発生をさらに抑制することができる。

本発明の第18のアレイ基板は、上記第2~17のいずれかのアレイ基板において、前記集合補助容量線と前記引き出し補助容量線との接続部において、該集合補助容量線と該引き出し補助容量線が重畠した領域で、該集合補助容量線または該引き出し補助容量線のいずれか一方を格子状または梯子状に形成しているので、補助容量を用いたアレイ基板において、補助容量線の信号遅延に起因して生じるムラなどの発生または共通信号遅延によるムラなどの発生をさらに抑制することができる。

本発明の第1の表示装置は、上記第1~18のいずれかに記載のアレイ基板と、少なくとも共通電極およびカラーフィルタを具備する対向基板とのあいだに液晶が配設されているので、走査線の信号遅延に起因して生じるムラなどの発生または共通信号遅延によるムラなどの発生を抑制し、優れた表示品位を得ることが可能となる。

本発明の第1のアレイ基板の製造方法は、導電膜を堆積し、画素電極間に配設される走査線を形成する工程と、前記走査線とは異なる層の導電膜を堆積し、前記走査線と走査信号が入力される端子部とを接続する配線である引き出し走査線を形成する工程と、前記走査線と前記引き出し走査線とのあいだに配設され、該走査線と該引き出し走査線とを絶縁する絶縁膜を形成する工程とを備えているので、走査線の信号遅延に起因して生じるムラなどの発生を抑制可能なアレイ基板を得ることができる。

本発明の第2のアレイ基板の製造方法は、導電膜を堆

積し、画素電極間に配設された走査線、該走査線と並行に配設された補助容量線および該補助容量線と接続された集合補助容量線を形成する工程と、前記走査線、補助容量線および集合補助容量線とは異なる層の導電膜を堆積し、前記集合補助容量線と共に信号が入力される端子部とを接続する配線である引き出し補助容量線を形成する工程と、前記走査線、前記補助容量線および前記集合補助容量線と前記引き出し補助容量線とのあいだに配設され、該走査線、該補助容量線および該集合補助容量線と該引き出し補助容量線とを絶縁する絶縁膜を形成する工程とを備えているので、補助容量を用いたアレイ基板において、共通信号遅延に起因して生じるムラなどの発生を抑制可能なアレイ基板を得ることができる。

## 請求の範囲

1. 複数の画素電極が形成された表示領域と、該画素電極間に配設された走査線と、該走査線と絶縁膜を介して交差する信号線と、走査信号が入力される端子部と、前記走査線とは異なる層の導電膜で形成されかつ前記走査線と前記端子部とを電気的に接続する引き出し走査線と、を備えたことを特徴とするアレイ基板。
2. 前記走査線と並行して配設された補助容量線と、前記信号線と並行して配設されかつ前記補助容量線と電気的に接続された集合補助容量線と、共通信号が入力される端子部と、前記集合補助容量線とは異なる層の導電膜で形成されかつ前記集合補助容量線と前記共通信号が入力される端子部とを電気的に接続する引き出し補助容量線と、をさらに備えたことを特徴とする請求の範囲第1項記載のアレイ基板。
3. 複数の画素電極が形成された表示領域と、該画素電極間に配設された走査線と、該走査線と並行して配設された補助容量線と、前記走査線および補助容量線と絶縁膜を介して交差する信号線と、該信号線と並行して配設されかつ前記補助容量線と電気的に接続された集合補助容量線と、共通信号が入力される端子部と、前記集合補助容量線とは異なる層の導電膜で形成され

かつ前記集合補助容量線と前記端子部とを電気的に接続する引き出し補助容量線と、  
を備えたことを特徴とするアレイ基板。

4. 前記引き出し走査線は前記信号線と同一層の導電膜で形成されたことを特徴とする請求の範囲第1項記載のアレイ基板。
5. 前記引き出し走査線は前記画素電極と同一層の導電膜で形成されたことを特徴とする請求の範囲第1項記載のアレイ基板。
6. 前記引き出し走査線は、前記表示領域の近傍および前記走査信号が入力される端子部の近傍において、それぞれ前記走査線および前記走査信号が入力される端子部と電気的に接続されていることを特徴とする請求の範囲第4項記載のアレイ基板。
7. 前記引き出し補助容量線は前記信号線と同一層の導電膜で形成されたことを特徴とする請求の範囲第2項記載のアレイ基板。
8. 前記引き出し補助容量線は前記画素電極と同一層の導電膜で形成されたことを特徴とする請求の範囲第2項記載のアレイ基板。
9. 前記引き出し補助容量線は、前記表示領域の近傍および前記共通信号が入力される端子部の近傍において、それぞれ前記集合補助容量線および前記共通信号が入力される端子部と電気的に接続されていることを特徴とする請求の範囲第7項記載のアレイ基板。
10. 前記補助容量線および前記集合補助容量線は、前記走査線と同一層の導電膜で形成されたことを特徴とする請求の範囲第2項記載のアレイ基板。

11. 前記集合補助容量線と前記引き出し走査線は絶縁膜を介して交差していることを特徴とする請求の範囲第2項記載のアレイ基板。
12. 前記走査線の材料として、アルミニウムまたはアルミニウムの合金を用いることを特徴とする請求の範囲第1項記載のアレイ基板。
13. 前記走査線の材料として、一部または全部を窒化したアルミニウムまたはアルミニウムの合金を用いることを特徴とする請求の範囲第1項記載のアレイ基板。
14. 前記信号線の材料として、CrまたはMoなどの高融点金属を用いることを特徴とする請求の範囲第1項記載のアレイ基板。
15. 前記走査線と前記引き出し走査線は、前記画素電極と同一層の導電膜により電気的に接続されることを特徴とする請求の範囲第1項記載のアレイ基板。
16. 前記集合補助容量線と前記引き出し補助容量線とは、前記画素電極と同一層の導電膜により電気的に接続されることを特徴とする請求の範囲第2項記載のアレイ基板。
17. 前記走査線と前記引き出し走査線との接続部において、該走査線と該引き出し走査線が重畠した領域で、該走査線または該引き出し走査線のいずれか一方を格子状または梯子状に形成したことを特徴とする請求の範囲第1項記載のアレイ基板。
18. 前記集合補助容量線と前記引き出し補助容量線との接続部において、該集合補助容量線と該引き出し補助容量線が重畠した領域で、該集合補助容量線または該引き出し補助容量線のいずれか一方を格子状または梯

子状に形成したことを特徴とする請求の範囲第2項記載のアレイ基板。

19. 請求の範囲第1項記載のアレイ基板と、少なくとも共通電極およびカラーフィルタを具備する対向基板とのあいだに液晶が配設されてなることを特徴とする表示装置。

20. 導電膜を堆積し、画素電極間に配設される走査線を形成する工程と、

前記走査線とは異なる層の導電膜を堆積し、前記走査線と走査信号が入力される端子部とを接続する配線である引き出し走査線を形成する工程と、

前記走査線と前記引き出し走査線とのあいだに配設され、該走査線と該引き出し走査線とを絶縁する絶縁膜を形成する工程と、

を備えたことを特徴とするアレイ基板の製造方法。

21. 導電膜を堆積し、画素電極間に配設された走査線、該走査線と並行に配設された補助容量線および該補助容量線と接続された集合補助容量線を形成する工程と、前記走査線、補助容量線および集合補助容量線とは異なる層の導電膜を堆積し、前記集合補助容量線と共に信号が入力される端子部とを接続する配線である引き出し補助容量線を形成する工程と、

前記走査線、前記補助容量線および前記集合補助容量線と前記引き出し補助容量線とのあいだに配設され、該走査線、該補助容量線および該集合補助容量線と該引き出し補助容量線とを絶縁する絶縁膜を形成する工程と、

を備えたことを特徴とするアレイ基板の製造方法。

**THIS PAGE BLANK (USPTO)**

1 / 10

FIG. 1(a)

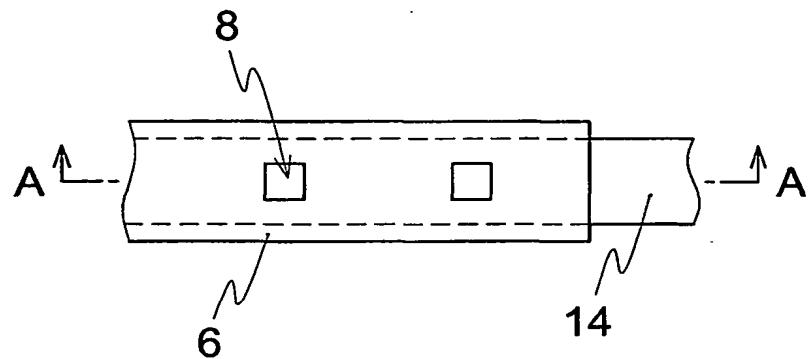
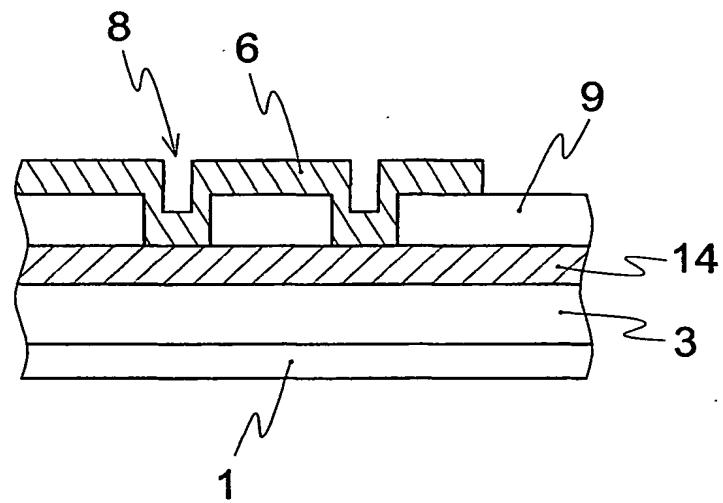


FIG. 1(b)



**THIS PAGE BLANK (USPTO)**

2 / 10

FIG. 2(a)

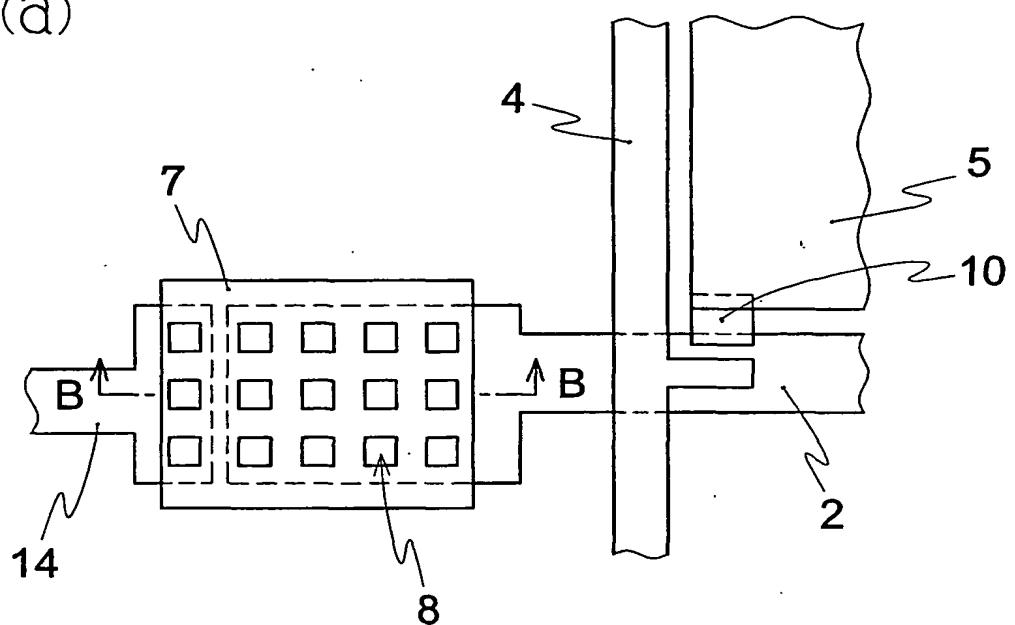
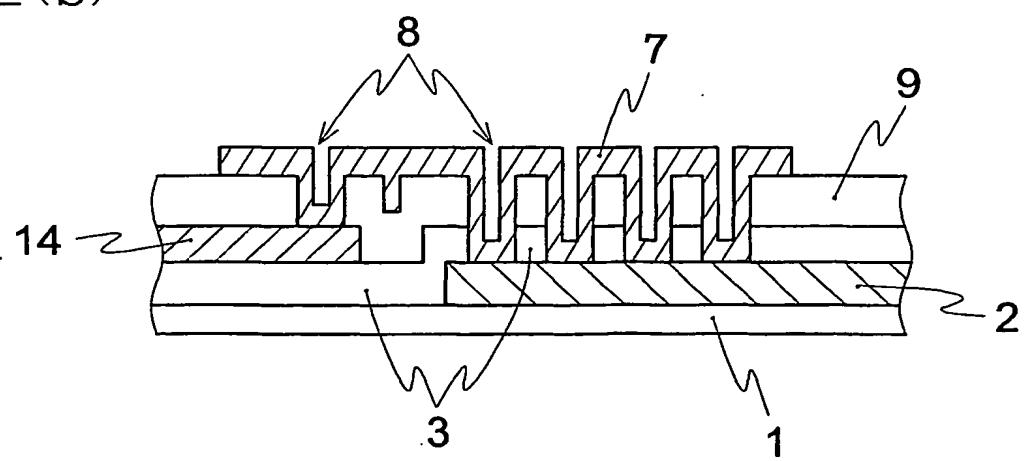


FIG. 2(b)



**THIS PAGE BLANK (USPTO)**

3 / 10

FIG. 3(a)

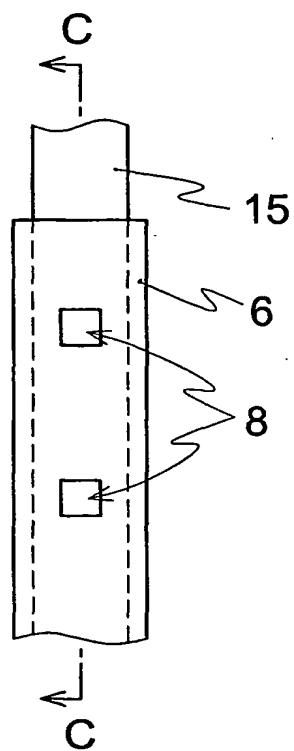
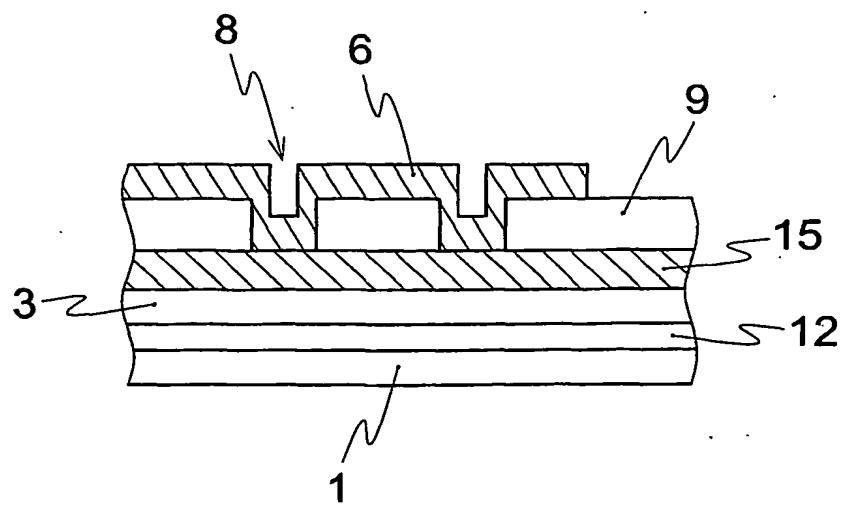


FIG. 3(b)



**THIS PAGE BLANK (USPTO)**

4 / 10

FIG. 4(a)

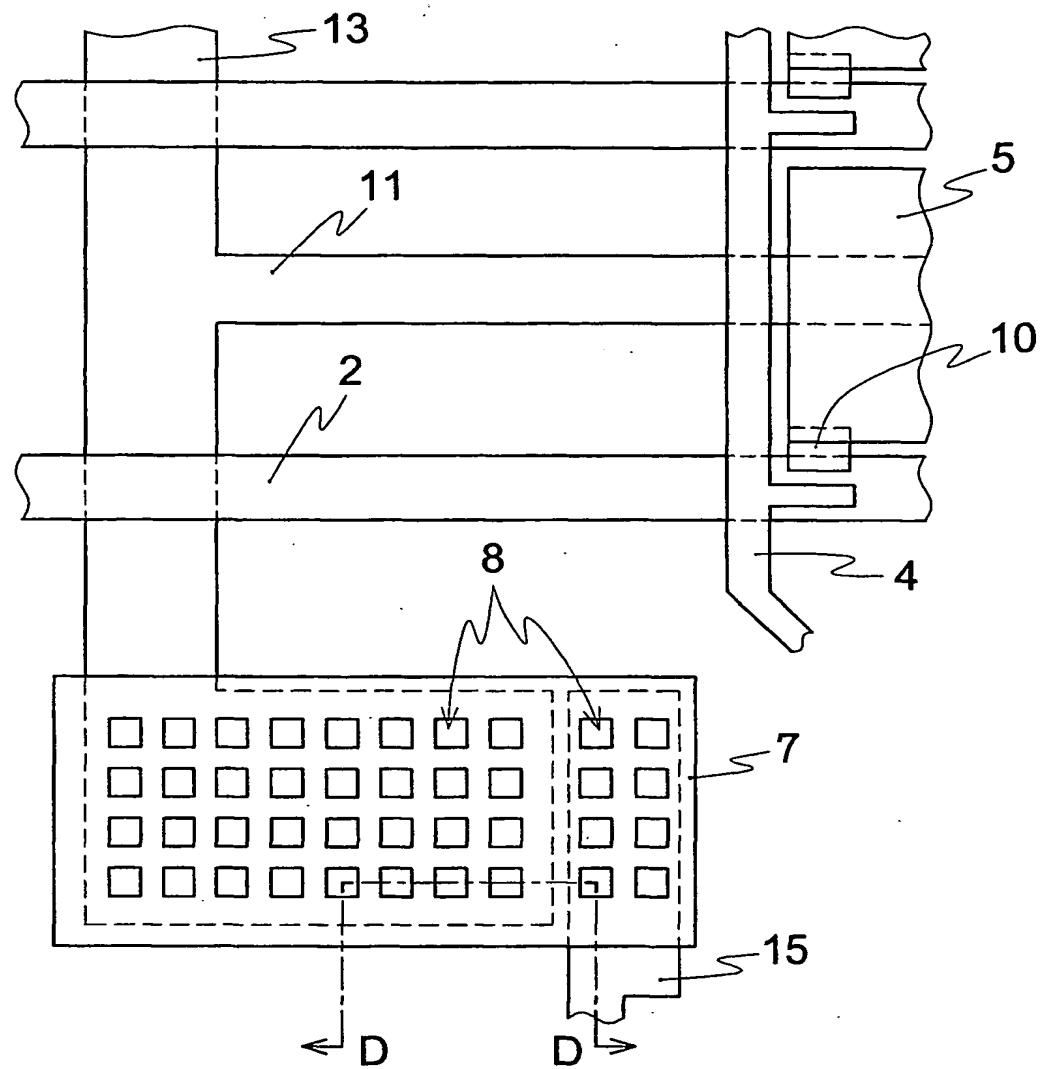
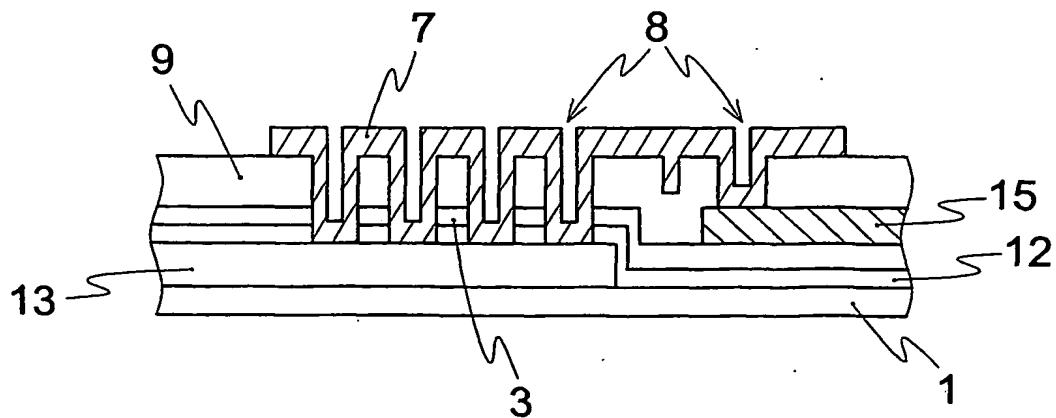


FIG. 4(b)



**THIS PAGE BLANK (USPTO)**

5 / 10

FIG. 5(a)

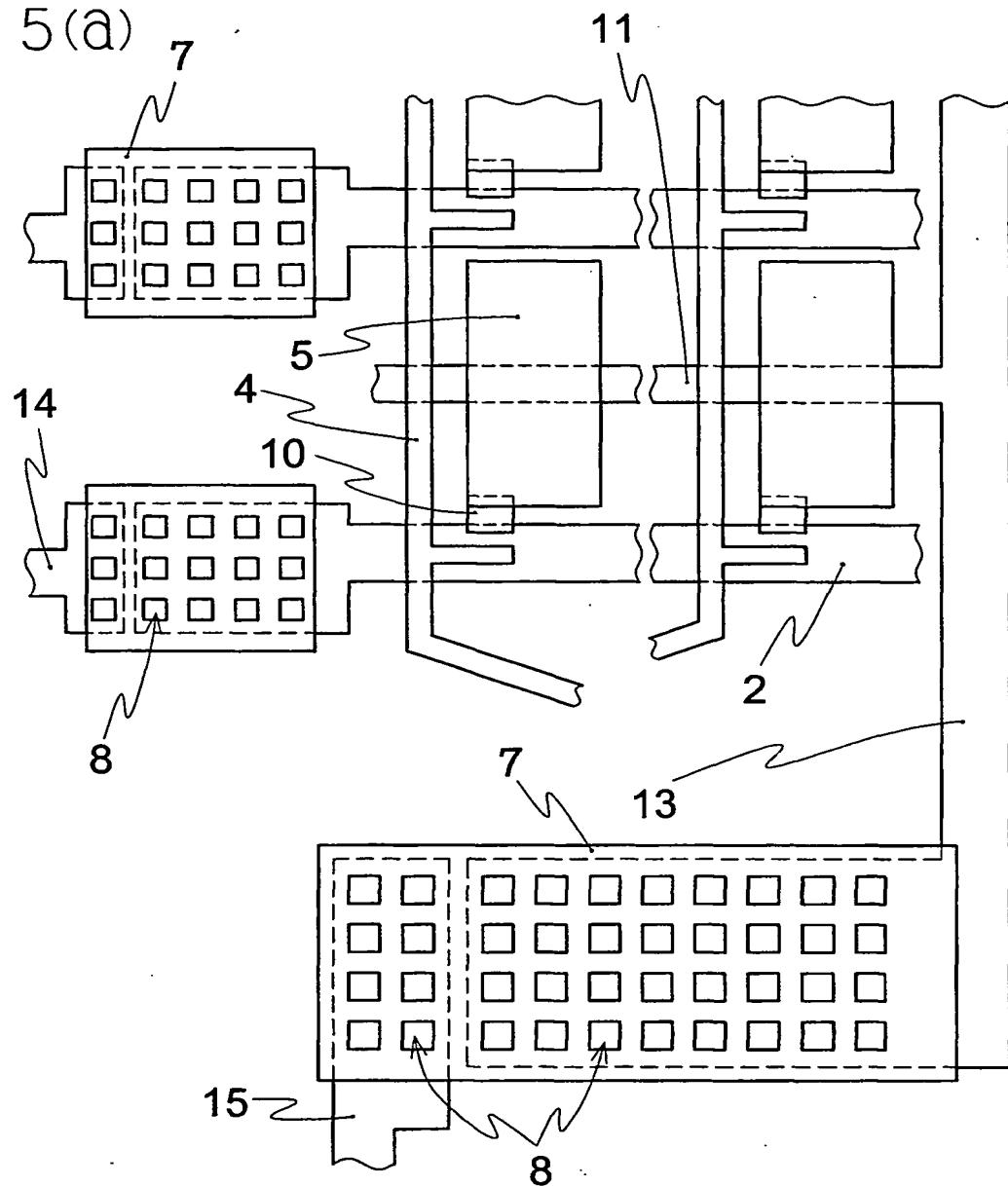
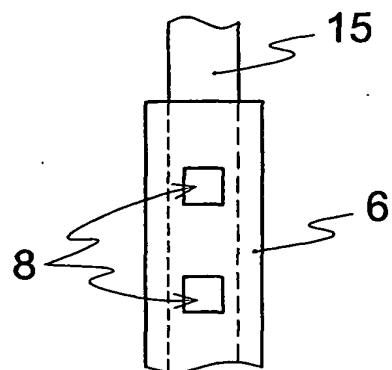


FIG. 5(b)



**THIS PAGE BLANK (USPTO)**

6 / 10

FIG. 6(a)

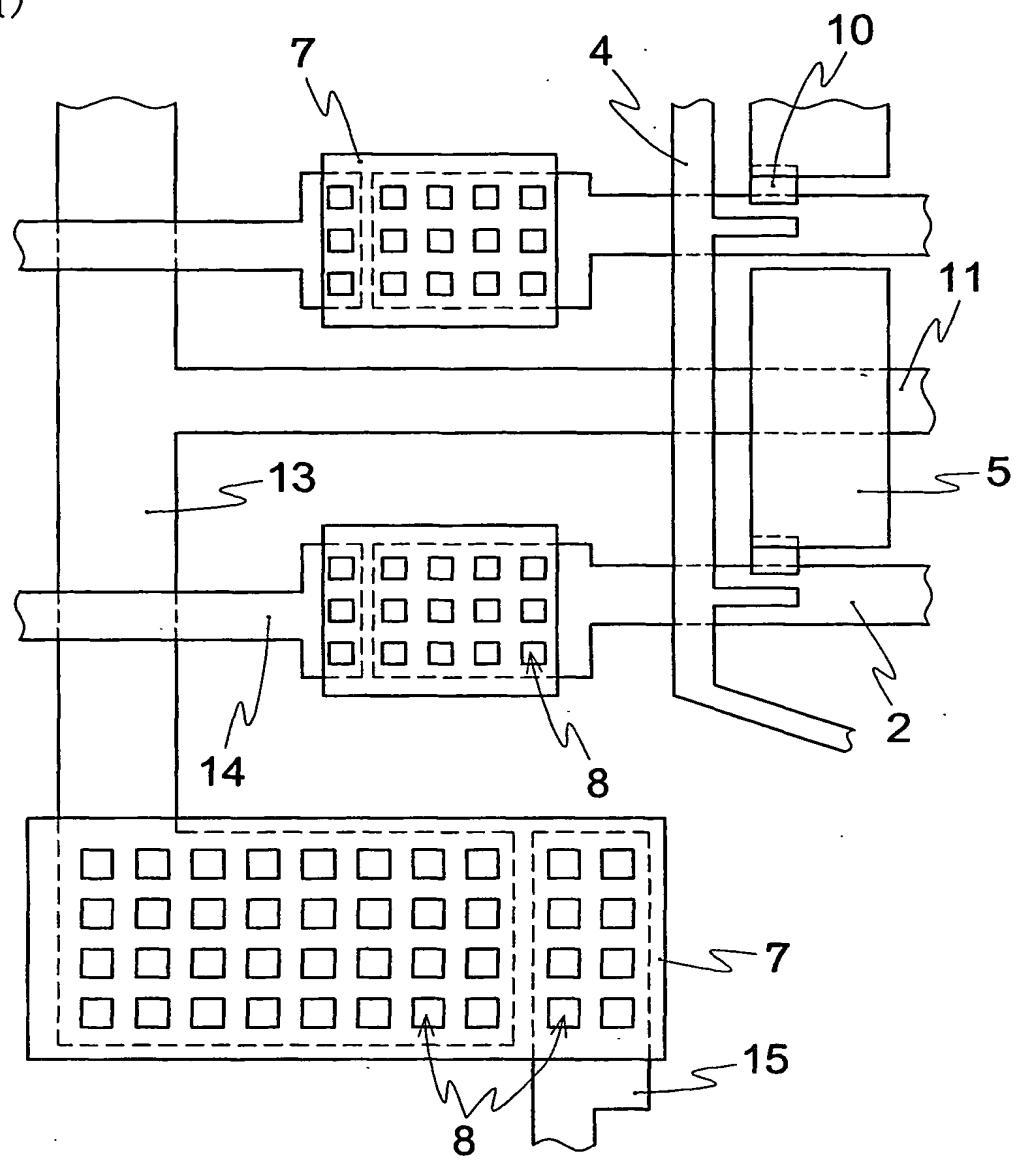
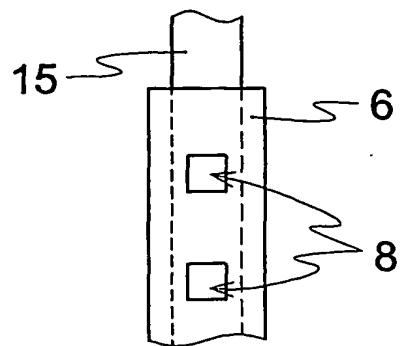


FIG. 6(b)



**THIS PAGE BLANK (USPTO)**

7 / 10

FIG. 7(a)

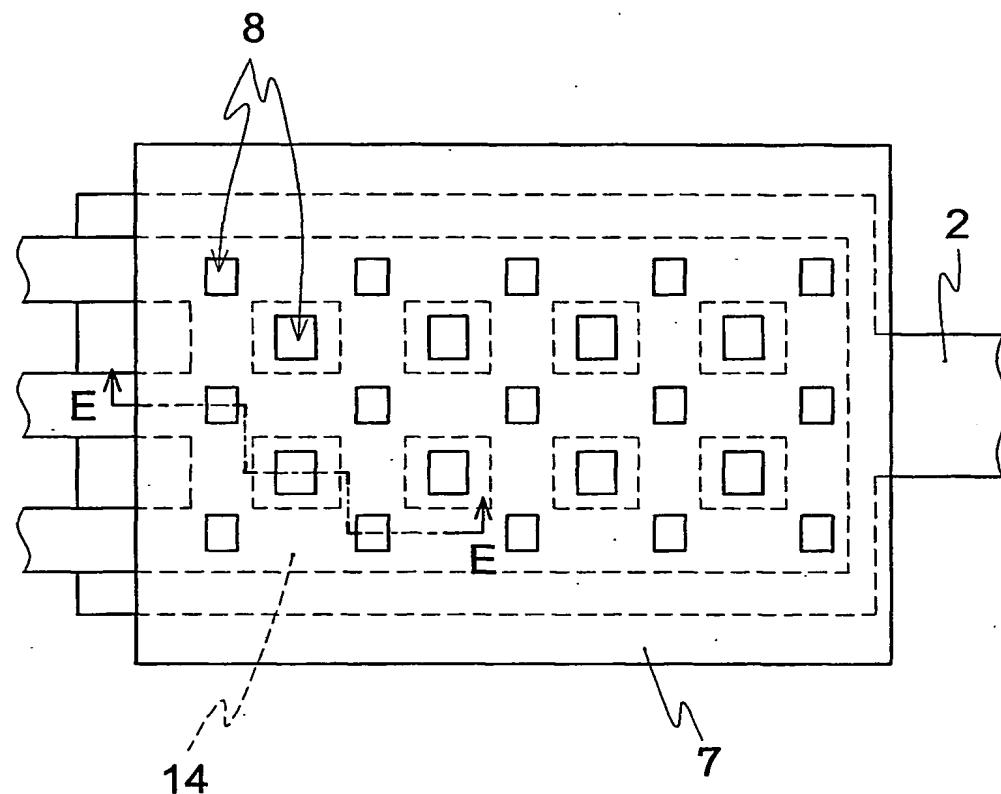
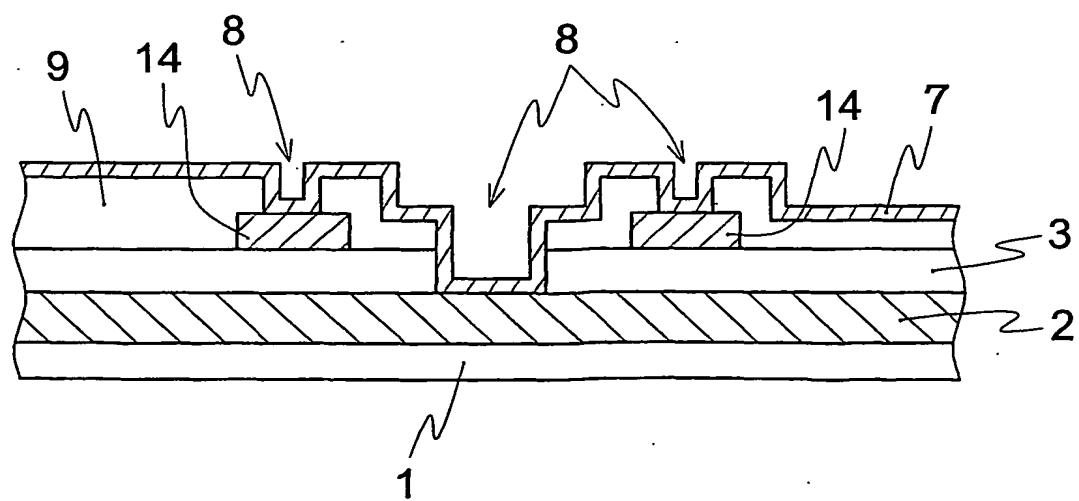


FIG. 7(b)



**THIS PAGE BLANK (USPTO)**

8 / 10

FIG. 8(a)

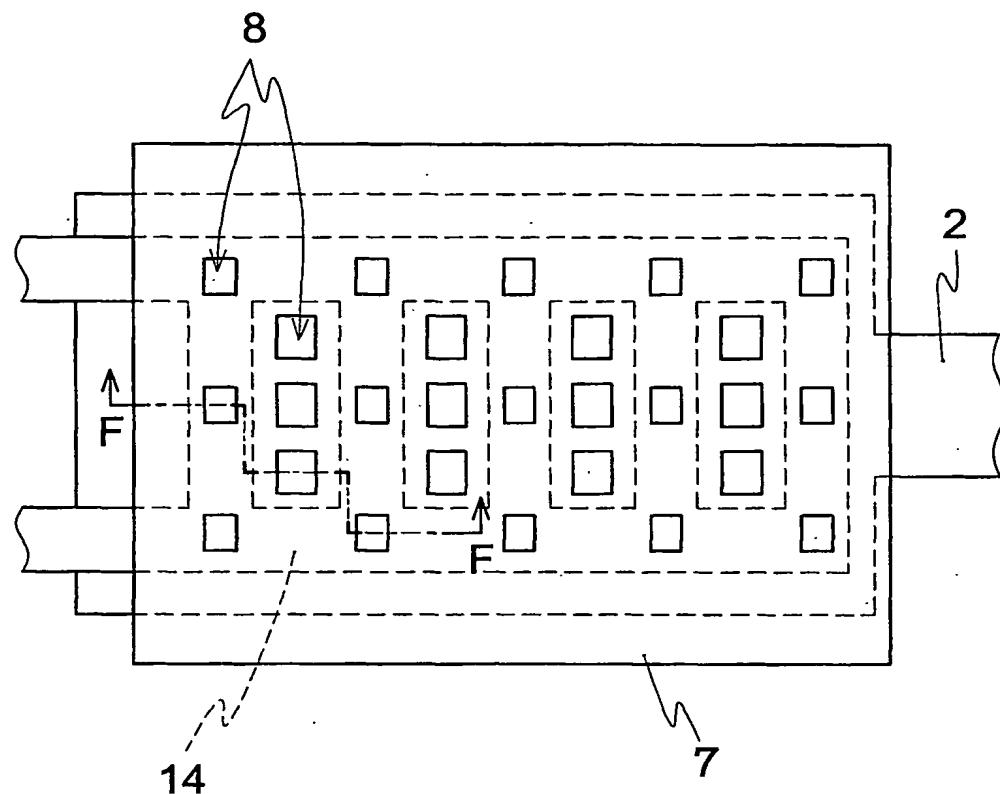
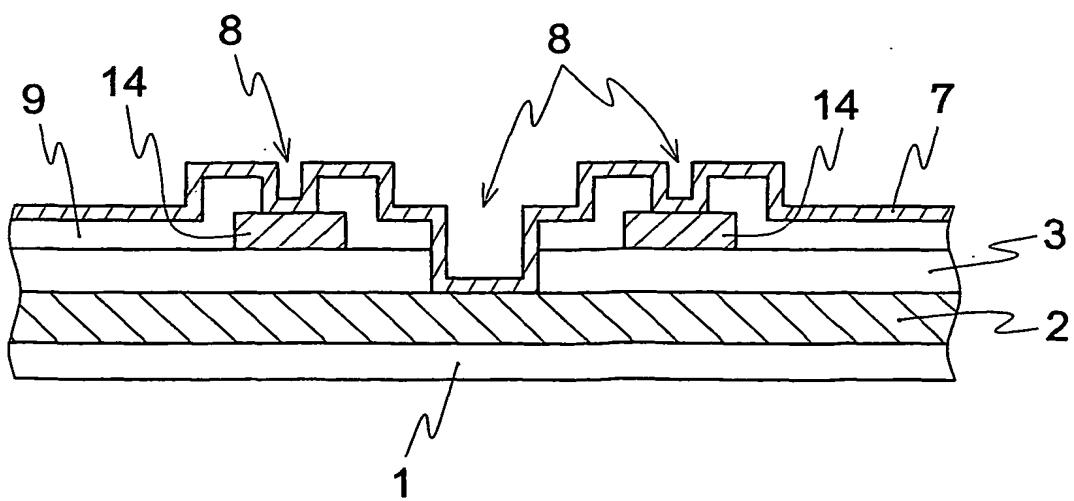


FIG. 8(b)



**THIS PAGE BLANK (USPTO)**

9 / 10

FIG. 9(a)

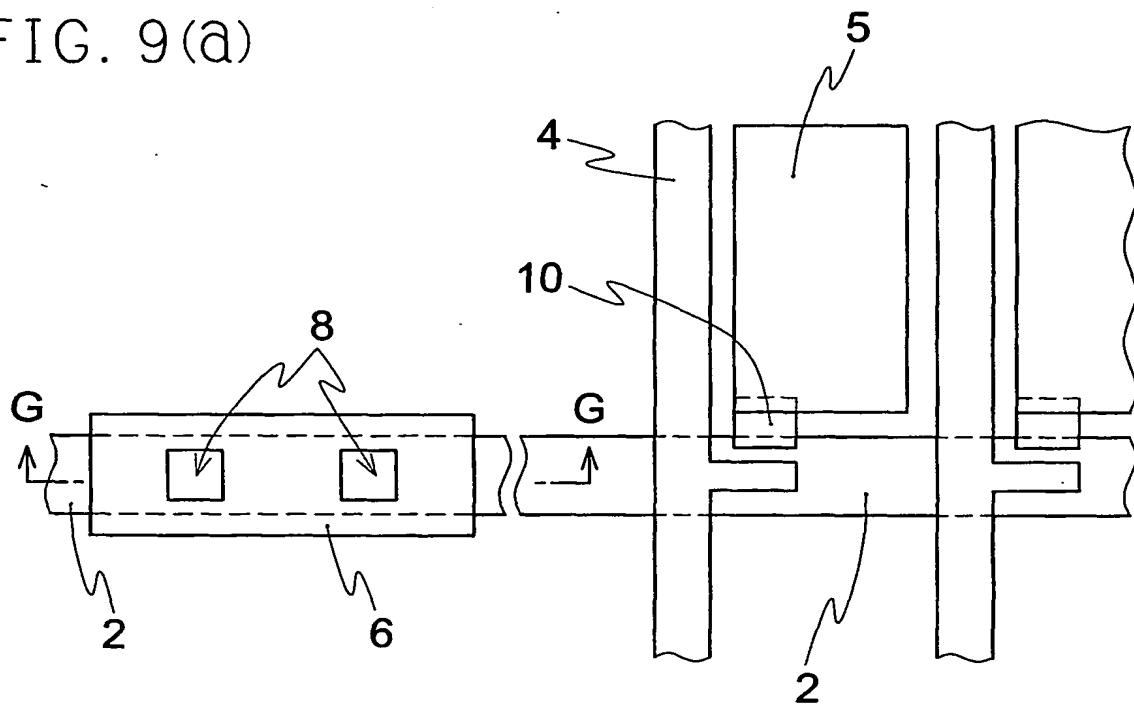
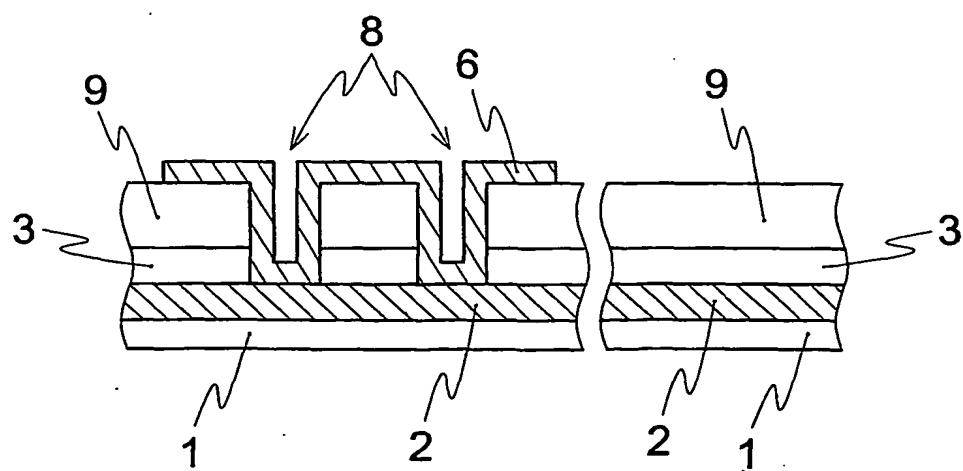


FIG. 9(b)



**THIS PAGE BLANK (USPTO)**

10 / 10

FIG. 10 (a)

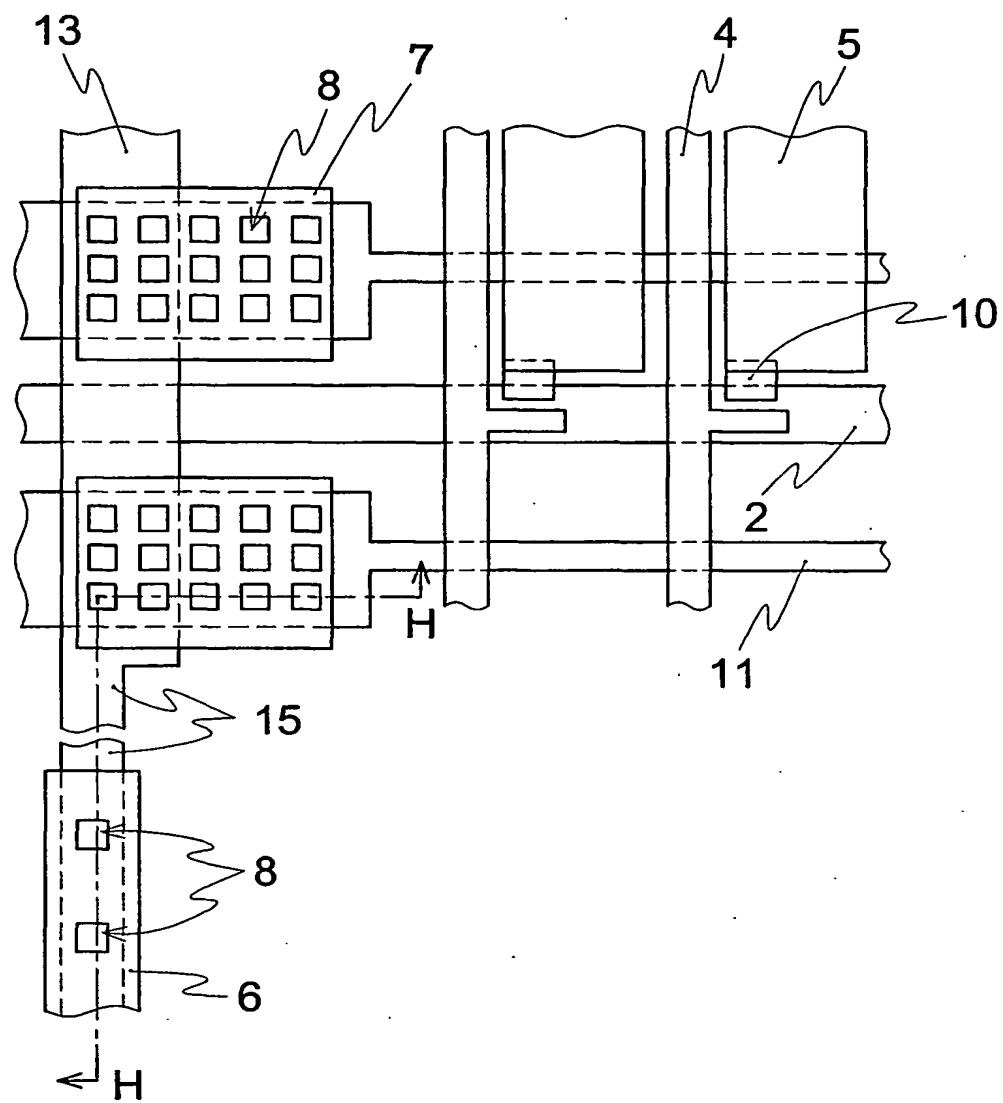
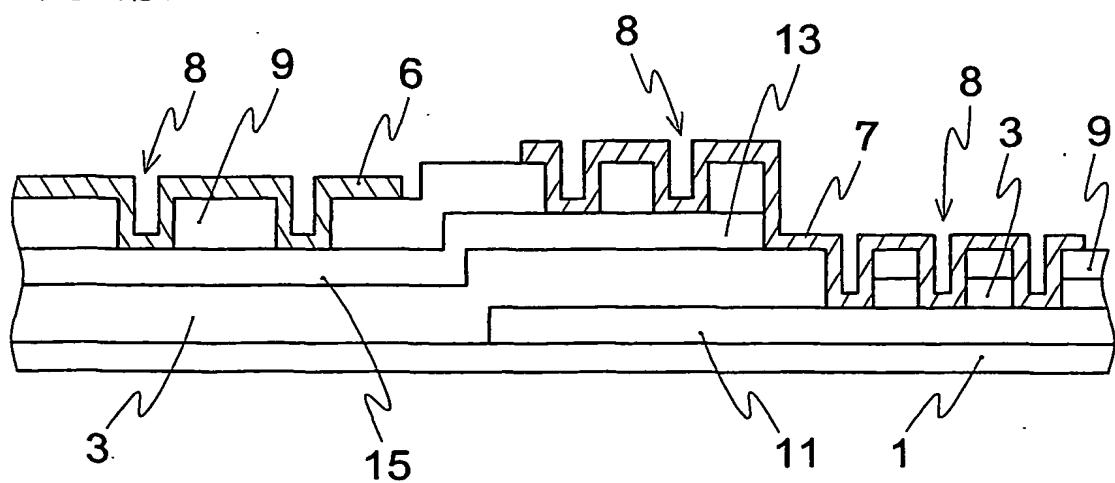


FIG. 10 (b)



**THIS PAGE BLANK (USPTO)**

## PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

ASAHINA, Sohta  
 NS Building  
 2-22, Tanimachi 2-chome, Chuo-ku  
 Osaka-shi, Osaka 540-0012  
 JAPON

Date of mailing (day/month/year) 04 September 2001 (04.09.01)
Applicant's or agent's file reference A199102702
International application No. PCT/JP01/04824
International publication date (day/month/year) Not yet published
Applicant ADVANCED DISPLAY INC. et al

## IMPORTANT NOTIFICATION

International filing date (day/month/year)  
07 June 2001 (07.06.01)

Priority date (day/month/year)  
19 June 2000 (19.06.00)

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
19 June 2000 (19.06.00)	2000-183034	JP	27 July 2001 (27.07.01)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland  Facsimile No. (41-22) 740.14.35	Authorized officer  Leslie BARRIOS  Telephone No. (41-22) 338.83.38
--	---

**THIS PAGE BLANK (USPTO)**

# PATENT COOPERATION TREATY

PCT

## NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

ASAHINA, Sohta  
NS Building  
2-22, Tanimachi 2-chome, Chuo-ku  
Osaka-shi, Osaka 540-0012  
JAPON

Date of mailing (day/month/year)

27 December 2001 (27.12.01)

Applicant's or agent's file reference

A199102702

### IMPORTANT NOTICE

International application No.

PCT/JP01/04824

International filing date (day/month/year)

07 June 2001 (07.06.01)

Priority date (day/month/year)

19 June 2000 (19.06.00)

Applicant

ADVANCED DISPLAY INC. et al

- Notice is hereby given that the International Bureau has **communicated**, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this notice:

KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

- The following designated Offices have waived the requirement for such a communication at this time:

None

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

- Enclosed with this notice is a copy of the international application as published by the International Bureau on 27 December 2001 (27.12.01) under No. WO 01/98823

### REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination (at present, all PCT Contracting States are bound by Chapter II).

### REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and the PCT Applicant's Guide, Volume II.

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

J. Zahra

Telephone No. (41-22) 338.91.11

**THIS PAGE BLANK (USPTO)**

## 特許協力条約

US

P C

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 A199102702	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP01/04824	国際出願日 (日.月.年) 07.06.01	優先日 (日.月.年) 19.06.00
出願人(氏名又は名称) 株式会社アドバンスト・ディスプレイ		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (PCT18条) の規定に従い出願人に送付する。この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
  - この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
  - この国際出願に含まれる書面による配列表
  - この国際出願と共に提出されたフレキシブルディスクによる配列表
  - 出願後に、この国際調査機関に提出された書面による配列表
  - 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
  - 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
  - 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2.  請求の範囲の一部の調査ができない (第I欄参照)。

3.  発明の單一性が欠如している (第II欄参照)。

4. 発明の名称は  出願人が提出したものを承認する。

次に示すように国際調査機関が作成した。

5. 要約は  出願人が提出したものを承認する。

第III欄に示されているように、法施行規則第47条 (PCT規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、  
第 6 図とする。  出願人が示したとおりである。

なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int. Cl' G02F1/1345, G09F9/30

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int. Cl' G02F1/1345, G09F9/30

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2001年  
日本国登録実用新案公報 1994-2001年  
日本国実用新案登録公報 1996-2001年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 11-95255, A (株式会社東芝) 9. 4月. 1999 (09. 04. 99) 全文, 全図	1, 5, 15, 19, 20
Y	全文, 全図  (ファミリーなし)	2-4, 6-14, 16-18, 21

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

26. 06. 01

## 国際調査報告の発送日

10.07.01

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

藤岡 善行

2 X 2913



電話番号 03-3581-1101 内線 3293

**THIS PAGE BLANK (USPTO)**

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 2000-111937, A (株式会社アドバンスト・ディスプレイ) 21. 4月. 2000 (21. 04. 00) 段落番号【0027】-【0028】、図3-4 (ファミリーなし)	2, 3, 7-11, 16, 18, 21
Y	JP, 2000-35592, A (株式会社アドバンスト・ディスプレイ) 2. 2月. 2000 (02. 02. 00) 全文、全図 (ファミリーなし)	4, 6, 7, 9, 17, 18
Y	EP, 372356, A (HOSIDEN ELECTRONICS CO., LTD.) 13. 6月. 1990 (13. 06. 90) 全文、全図 & JP, 2-156226, A,	12, 14
Y	JP, 11-284195, A (三菱電機株式会社) 15. 10月. 1999 (15. 10. 99) 全文、全図 (ファミリーなし)	13

**THIS PAGE BLANK (USPTO)**